

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2002 年 2 月 28 日 (28.02.2002)

PCT

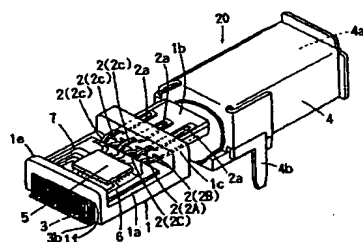
(10) 国際公開番号  
WO 02/17053 A1

- (51) 国際特許分類<sup>7</sup>: G06F 3/00, H01R 13/719 (HASHIMOTO, Takeshi) [JP/JP]. 神戸祥明 (KANBE, Yoshiaki) [JP/JP]. 伊藤隆康 (ITO, Takayasu) [JP/JP]. 松島俊輔 (MATSUSHIMA, Syunsuke) [JP/JP]; 〒571-8686 大阪府門真市大字門真1048番地 松下電工株式会社内 Osaka (JP).
- (21) 国際出願番号: PCT/JP00/05619
- (22) 国際出願日: 2000 年 8 月 22 日 (22.08.2000)
- (25) 国際出願の言語: 日本語 (74) 代理人: 弁理士 吉川俊雄 (YOSHIKAWA, Toshio); 〒534-0024 大阪府大阪市都島区東野田町4丁目9番19号 村浜ビル6階 Osaka (JP).
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 松下電工株式会社 (MATSUSHITA ELECTRIC WORKS, LTD.) [JP/JP]; 〒571-8686 大阪府門真市大字門真1048番地 Osaka (JP).
- (81) 指定国 (国内): CA, CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (72) 発明者; および 添付公開書類:
- (75) 発明者/出願人 (米国についてののみ): 橋本 健 — 国際調査報告書

[続葉有]

(54) Title: CONNECTOR RECEPTACLE

(54) 発明の名称: コネクタレセプタクル



(57) Abstract: A connector receptacle (20) is constituted by a contact (2) to which a data signal is serially communicated through a connector plug and a physical layer basic circuit (5) provided inside the connector receptacle (20) and adapted to perform specified processings so that the data signal is parallel communicated between the basic circuit and a link layer circuit for the communication. As a result, the distance between the contact (2) and the physical layer basic circuit (5) is short. Therefore, it is not necessary to pay so much attention as in conventional cases in designing a pattern layout (7) so as to prevent influence on the EMI and transmission characteristics, and it is easy to design the layout of the pattern constituting the transmission line for the data signal.

(57) 要約:

本発明のコネクタレセプタクル(20)は、コンタクト(2)にコネクタプラグを通じてデータ信号がシリアル通信されるとともに通信のためのリンク層回路との間でデータ信号が平行通信されるよう所定の処理を行う物理層基本回路(5)を、コネクタレセプタクル(20)そのものに設けて構成されている。このため、コンタクト(2)と物理層基本回路(5)との間が短く、これによって、EMIや伝送特性に影響を及ぼさないよう、パターンレイアウト(7)の設計に従来例ほど注意を払わなくてもよくなり、データ信号の伝送路をなすパターンのレイアウトの設計がやり易くなる。



2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明細書

### コネクタレセプタクル

### 技術分野

本発明は、デジタル信号の高速伝送に使用されるコネクタレセプタクルに  
5 関する。

### 背景技術

従来、デジタル信号の高速伝送のために、図21に示すコネクタ装置が使用  
されている。この装置は、コネクタレセプタクルA、物理層基本回路B、プ  
10 リント基板Cを備えている。

コネクタレセプタクルAには、コネクタプラグXに嵌合される嵌合部A<sub>1</sub>及  
びその嵌合部A<sub>1</sub>に嵌合したコネクタプラグXの有する接続部にそれぞれ接続  
される複数のコンタクトA<sub>2</sub>が設けられている。

物理層基本回路BはL S I からなり、この物理層基本回路Bで、コンタク  
15 トA<sub>2</sub>にコネクタプラグXを通じてデータ信号がシリアル通信されるとともに、  
通信のためのリンク層回路Dとの間でデータ信号が平行通信されるよう、  
シリアル・平行変換、符号化及び復合化、コネクタ入出力制御を伴う所  
定の処理が行われる。

プリント基板Cは、物理層基本回路BをなすL S I が実装されるとともに、  
20 データ信号がコネクタプラグXとの間からリンク層回路Dとの間にわたって  
伝送される伝送路がパターンニングされている。

上記した従来の技術、すなわち、プリント基板Cに物理層基本回路Bをな  
すL S I が実装されるという技術にあっては、プリント基板Cにパターンニ  
ングされた伝送路は、そのパターンレイアウトによって、デジタルのデータ信

号が高速で伝送される際にEMIや伝送特性に大きな影響が及ぼされる。このため、EMIや伝送特性に影響を及ぼさないよう、パターンレイアウトの設計に十分な注意を払わなければならない、データ信号の伝送路をなすパターンレイアウトの設計がやり難いという問題点があった。

- 5      本発明は、上記の点に着目してなされたもので、その目的とするところは、データ信号の伝送路をなすパターンレイアウトの設計がやり易いコネクタレセプタクルを提供することにある。

#### 発明の開示

- 10      本発明のコネクタレセプタクルは、コネクタプラグに嵌合される嵌合部と、嵌合部に嵌合したコネクタプラグにそれぞれ接続される複数のコンタクトと、ともに通信のためのリンク層回路との間でデータ信号が平行通信されるように所定の処理を行う物理層基本回路とを備えた構成にしている。

- 15      このように、コネクタレセプタクルそのものに物理層基本回路が設けられていることによって、コンタクトと物理層基本回路との間は、物理層基本回路がプリント基板に実装された従来例に比較して短くなる。このため、EMIや伝送特性に影響を及ぼさないよう、パターンレイアウトの設計に従来例ほど注意を払わなくてもよくなり、データ信号の伝送路をなすパターンのレイアウトの設計がやり易くなる。

- 20      なお、上記データ信号が、前記コンタクトから前記物理層基本回路にわたって略一定の特性インピーダンスを有した伝送路でもってシリアル通信される構成、或いは、上記データ信号が、複数の前記コンタクト毎に前記コンタクトと前記物理層基本回路との間にわたって略同一長の伝送路でもってそれぞれ伝送された構成とすることが望ましい。このような構成によって、入出力の際のデータ信号の反射を低減することができ、また、データ信号間のスキューを低減することができる。
- 25

さらに、前記データ信号が、パラレル通信されることにより、シリアル通信されるときよりもN倍の伝送路により伝送されるように構成し、パラレル通信されるときは、シリアル通信されるときよりも前記データ信号の立ち上がり及び立ち下がり時間がN倍長いようにすることが望ましい。これによって、高周波成分が緩和されるようになり、EMIを低減することができる。

また、前記コネクタプラグからデータ信号の伝送される伝送路を外部からシールドするシールド部材を設けた構成とすれば、さらにEMIを少なくすることができる。

また、前記物理層基本回路を基板上に設け、この基板と略同一平面に前記コンタクトが位置する構成とすれば、コンタクトに折り曲げ部を少なくすることができ、これによって、伝送特性を良くすることができる。

一方、前記嵌合部を複数個設けて構成することも可能である。このとき、前記物理層基本回路が、複数個の前記嵌合部にそれぞれ嵌合された前記コネクタプラグとの間でシリアル通信されるとともに前記リンク層回路との間でデータ信号がパラレル通信されるよう前記所定の処理を行う構成とすれば、物理層基本回路が一つで済むので、全体を小型化できる。

さらに、前記物理層基本回路をMID基板に設け、このMID基板に前記コンタクトを保持させた構成とすることも可能である。このような構成にすれば、コンタクトを保持する部材を別に設けなくてもよくなるので、部品点数を少なくすることができる。

#### 図面の簡単な説明

図1は、本発明の実施形態1におけるコネクタレセプタクルの斜視図である。

図2は、上記コネクタレセプタクルの正面図である。

図3は、上記コネクタレセプタクルの側面図である。

図4は、上記コネクタレセプタクルの平面図である。

図5は、上記コネクタレセプタクルの側面断面図である。

図6は、上記コネクタレセプタクルに設けられている物理層基本回路の機能ブロック図である。

5 図7は、上記コネクタレセプタクルにおけるデータ信号の伝送状態を示す説明図である。

図8は、上記コネクタレセプタクルにおけるパラレル通信による伝送状態とシリアル通信による伝送状態とを比較するために説明図である。

10 図9は、本発明の実施形態2におけるコネクタレセプタクルの斜視図である。

図10は、図9に示すコネクタレセプタクルの平面図である。

図11は、図9に示すコネクタレセプタクルの部分拡大平面図である。

図12は、図9に示すコネクタレセプタクルの側面断面図である。

15 図13は、図9に示すコネクタレセプタクルにおける伝送路の部分断面図である。

図14は、本発明の実施形態3におけるコネクタレセプタクルの斜視図である。

図15は、図14に示すコネクタレセプタクルの平面図である。

図16は、図14に示すコネクタレセプタクルの部分拡大平面図である。

20 図17は、図14に示すコネクタレセプタクル側面断面図である。

図18は、本発明の実施形態3 4におけるコネクタレセプタクルの斜視図である。

図19は、図18に示すコネクタレセプタクルの平面図である。

図20は、図18に示すコネクタレセプタクル側面断面図である。

25 図21は、従来例の斜視図である。

## 発明を実施するための最良の形態

### 〔実施形態1〕

本発明の実施形態1におけるコネクタレセプタクルについて、図1ないし図8に基づいて以下に説明する。図1に示すように、このコネクタレセプタクル20は、ハウジング1、コンタクト2、端子3、シェル4、物理層基本回路5、基板6を備え、このコネクタレセプタクル20を通して、デジタル信号が高速で通信される。

ハウジング1は絶縁材料からなり、両端部を残すように中央部が切り欠かれて、基板6を接着する基板接着部1aが設けられている。また、このハウジング1には、コネクタプラグX（図示せず）に嵌合されるコンタクト受部（嵌合部）1bが、一端部から延設されている。

コンタクト2は、コンタクト受部1bに嵌合したコネクタプラグXの接続部（図示せず）に、一端部から中央部にかけて接続されるものであって、このコンタクト2には、図5に示すように、コネクタプラグXの接続部に直接接触するコンタクト接触部2aが、丸みを帯びるように加工されて設けられている。

このコンタクト2は、ハウジング1の一端部からなるコンタクト保持部1cに設けたコンタクト圧入孔1dに圧入保持された状態で、図2に示すように、コンタクト受部1bを間に挟んでコンタクト受部1bの厚み方向両側である上下に配置され、また、幅方向に所定の間隔を有して、上下それぞれ3本ずつがハウジング1の一端部から突出している。

詳しくは、コンタクト2は計6本突設され、図1に示すように、そのうちの長さが長い2本のうちの一方が電源用コンタクト2A、他方がグラウンド用コンタクト2Bであり、残りの短い4本がデジタル信号用コンタクト2Cとなっている。

端子3は、ハウジング1の他端部からなる端子保持部1eに設けた端子圧入

孔1fに圧入保持されている。これら端子3は、図4に示すように、ハウジング1の基板接着部1a側に突出した一端部からなる基板接続部3aが、ワイヤーボンディング等により、基板6に設けたパターン7と電気接続されている。また、図3に示すように、一端部とは反対側に突出した他端部が、本コネクタレセプタクル20を実装するプリント基板（図示せず）に電氣的に接続されるSMD端子部3bとなっている。

シェル（シールド部材）4は導電性材料から成り、図5に示すように、コンタクト2からハウジングのコンタクト保持部1cの領域をシールドするよう包囲可能に、略筒状に形成されている。この略筒状のシェル4の開口部分は、コネクタプラグXが嵌合されるよう挿入される挿入口4aとなっている。このシェル4には、本コネクタレセプタクル20が実装されるプリント基板（図示せず）に電氣的に接続されるシェル端子4bが設けられている。

基板6は、前述したように、ハウジング1の基板接着部1aに接着固定され、その接着面とは反対面、すなわち上面には、後述する物理層基本回路5が実装されている。また、この基板6の上面には、図4に示すように、物理層基本回路5に接続されたパターン7が設けられている。このパターン7は、前述したように、ワイヤーボンディング等で、コンタクト2及び端子3に電気接続されている。このパターン7には、本コネクタレセプタクル20に接続されるコネクタプラグXを設けたケーブルY（図7参照）の特性インピーダンスに応じた終端抵抗10が接続されている。この基板6の下面はグランド面となっており、スルーホール11及びビア（図示せず）によって、上面のパターン7と接続されるとともに、端子3と接続されている。

物理層基本回路5は、上記基板6に、図5に示すように、モールド樹脂9によりモールドされて保護された状態で実装されている。なお、図1及び図4では、モールド樹脂9を省略している。この物理層基本回路5は、ベアチップの状態、基板6に実装されてもよい。



この物理層基本回路 5 は、複数のコンタクト 2、詳しくは、前記したデジタル信号用コンタクト 2C 毎にコネクタプラグ X との間でデータ信号がシリアル通信されるとともに、通信のための上位回路であるリンク層回路（図示せず）との間でデータ信号が平行通信されるよう、シリアル・平行変換、符号化及び復合化並びにコネクタ入出力制御を伴う所定の処理がなされる回路である。

この物理層基本回路 5 は、図 6 に示すように、物理層制御回路 5a、コネクタ入出力制御回路 5b、符号化回路 5c、復合化回路 5d 及び入出力インターフェース回路 5e を備えており、クロック回路 8 と共に L S I 化されている。なお、このクロック回路 8 は、物理層基本回路 5 そのものに含まれるよう、設計されてもよい。

物理層制御回路 5a は、通信のための上位回路であるリンク層回路からのアービトレーションの要求に対する応答、物理層基本回路 5 と後述する終端抵抗 10 とで成る物理層回路のリセット、通信におけるリンク層回路の下位回路であって前述した物理層回路とは異なる外部物理層回路（図示せず）との通信調停、物理層回路のうちの他の回路の管理及び制御を主として行う。

コネクタ入出力制御回路 5b は、前述したデジタル信号用コンタクト 2c にそれぞれ接続され、符号化回路 5c から伝送された信号のコネクタプラグ X への出力駆動、コネクタプラグ X から入力された信号のアービトレーション制御信号とデータ信号との選別及び復合化回路 5d への伝送を主として行う。

符号化回路 5c は、前述したリンク層回路から入出力インターフェース回路 5e を通じて入力されるシリアルなデータ信号を、データ信号とストロブ信号とにする、いわゆる符号化をする。復合化回路 5d は、コネクタプラグ X からの信号を、クロック回路 8 から入力されるクロックに同期して、データ信号を再生する、いわゆる復合化をする。なお、クロックは、本コネクタレセプタクル 20 の外部に設けたクロック回路 8 から、本コネクタレセプタクル 20

の端子 3 を経て入力されるようにしてもよい。

入出力インターフェース回路 5e は、前述したリンク層回路との間の入出力制御をし、また、前述したリンク層回路から入力された平行のデータ信号をシリアル of データ信号へ変換するとともに、シリアル of データ信号を符号化回路 5c へと伝送し、さらに、復合化回路 5d から伝送されたシリアル of データ信号を平行 of データ信号へ変換するとともに、平行 of データ信号を前述したリンク層回路へ出力する。

詳しくは、平行 of データ信号が、図 7 に示すように、例えば、100 Mbps of 4bit で平行通信される場合に、シリアル of データ信号は、400 Mbps であっても通信される。つまり、平行 of データ信号は、シリアル of データ信号よりも 4 倍 of 伝送路により伝送されることになり、図 8 (a)(b) に示すように、平行 of データ信号 of 立ち上がり時間及び立ち下がり時間  $t_1$  が、シリアル of データ信号 of 立ち上がり時間及び立ち下がり時間  $t_2$  よりも 4 倍長くなっている。なお、平行 of データ信号は、100 Mbps of 4bit で平行通信されるものに限るわけではない。

かかるコネクタレセプタクル 20 にあつては、このコネクタレセプタクル 20 そのものに物理層基本回路 5 が設けられていることによつて、コンタクト 2 と物理層基本回路 5 との間は、物理層基本回路 5 がプリント基板に実装された従来例に比較して短くなるから、EMI や伝送特性に影響を及ぼさないよう、パターンレイアウト of 設計に従来例ほど注意を払わなくてもよくなり、データ信号 of 伝送路をなすパターン of レイアウト of 設計がやり易くなる。

また、データ信号は、平行通信されることにより、シリアル通信されるときよりも 4 倍 of 伝送路により伝送されるのであるから、平行通信されるときに、シリアル通信されるときよりも、データ信号 of 立ち上がり及び立ち下がり時間も 4 倍長くできることによつて、高周波成分が緩和されるようになり、EMI を低減することができる。

## 〔実施形態 2〕

次に本発明の実施形態 2 におけるコネクタレセプタクルについて、図 9 ないし図 13 に基づいて以下に説明する。なお、図 9 ないし図 11 ではモールド樹脂 9 を省略している。また、実施形態 1 と実質的に同一の機能を有する部分には同一の符号を付し、実施形態 1 と異なるところのみ説明する。

本実施形態のコネクタレセプタクル 20 は、基本的には実施形態 1 と同様であるが、データ信号が、コンタクト 2 から物理層基本回路 5 にわたって略一定の特性インピーダンスを有した伝送路でもってシリアル通信される構成となっており、さらに、上下のコンタクト 2 の中央が基板 6 の上面と略同一平面に位置している。

詳しくは、コンタクト受部 1b は、図 12 に示すように、厚み方向の中央部にグラウンドプレーン 12 が設けられることにより、マイクロストリップ構造とされ、コンタクト 2 の特性インピーダンスを略一定として、本コネクタレセプタクル 20 に接続されるコネクタプラグ X を設けたケーブル Y の特性インピーダンスとのマッチングをとっている。

基板 6 は、その上面に設けられたパターン 7 のうち、コンタクト 2 とのワイヤボンディングによる接続部分と、図 11 に示すように、終端抵抗 10 との間に位置するパターン 7A が、いずれも一定の幅寸法を有している。なお、終端抵抗 10 と物理層基本回路 5 との間のパターン 7 も、同一幅であることが望ましい。この基板 6 は、図 13 に示すように、その下面にグラウンドプレーン 13 が設けられることにより、マイクロストリップ構造とされ、コンタクト 2 の特性インピーダンスと一致するようになっている。

このようにして、コンタクト 2 から物理層基本回路 5 にわたる伝送路は、略一定の特性インピーダンスを有するようになっている。また、基板 6 のグラウンドプレーン 13 は、コンタクト 2 のグラウンドプレーン 12 に、ワイヤボンディング等で電気接続されている。なお、この電気接続部分は、多いほど EMI

特性が良くなる。

かかるコネクタレセプタクル20にあっては、実施形態1での効果に加えて、データ信号が、コンタクト2から物理層基本回路5にわたって略一定の特性インピーダンスを有した伝送路であるパターン7でもってシリアル通信されることにより、入出力の際のデータ信号の反射を少なくすることができる。

また、コンタクト2が、基板6と略同一平面に位置することによって、伝送特性にとって良くない急な折り曲げ部分をなくすことができ、ひいては、伝送特性を良くすることができる。

### 〔実施形態3〕

次に、本発明の実施形態3におけるコネクタレセプタクルについて、図14ないし図17に基づいて以下に説明する。なお、図14及び図16ではモールド樹脂9を省略している。また、実施形態2と実質的に同一の機能を有する部分には同一の符号を付し、実施形態2と異なるところのみ説明する。

本実施形態のコネクタレセプタクル20は、基本的には実施形態2と同様であるが、データ信号は、コンタクト2と物理層基本回路5との間にわたって略同一長の伝送路であるパターン7をもって、それぞれコンタクト2にシリアル通信される構成である。また、図14に示すように、コンタクト受部1b及びシェル4が2個ずつ設けられて、2個のコンタクト受部1bの上下それぞれにコンタクト2が配置され、さらに、コネクタプラグXからデータ信号の伝送される伝送路であるパターン7を外部からシールドするよう、シェル4が延設されている。

このコネクタレセプタクル20は、コンタクト2から物理層基本回路5にわたるパターン7、詳しくは、コンタクト2とのワイヤーボンディングによる接続部分と、図16に示すように、終端抵抗10との間に位置するパターン7Bが、複数のコンタクト2毎に略同一長の伝送路となっている。なお、終端抵抗10と物理層基本回路5との間に位置するパターン7も、複数のコンタクト2毎

に略同一長の伝送路とされて、データ信号がシリアル通信されるのが望ましい。

この場合の物理層基本回路 5 では、2 個のコンタクト受部 1b にそれぞれ嵌合されたコネクタプラグ X との間でシリアル通信されるとともに、通信のためのリンク層回路との間でデータ信号が平行通信されるよう、シリアル・平行変換、符号化及び復合化並びにコネクタ入出力制御を伴う所定の処理が行われる。

かかるコネクタレセプタクル 20 にあっては、実施形態 2 での効果に加えて、データ信号が、複数のコンタクト 2 毎にコンタクト 2 と物理層基本回路 5 との間にわたって略同一長の伝送路でもってそれぞれ伝送されることによって、データ信号間のスキューを少なくすることができる。

また、コンタクト受部 1b が 2 個設けられているから、本コネクタレセプタクル 20 を配設することによって、コンタクト受部 1b が 1 個設けられたコネクタレセプタクル 20 を複数個配設するよりも、配設作業がやり易くなる。

また、コンタクト受部 1b が 2 個設けられているけれども、物理層基本回路 5 では、2 個のコンタクト受部 1b にそれぞれ嵌合されたコネクタプラグ X との間でシリアル通信されるよう、シリアル・平行変換、符号化及び復合化並びにコネクタ入出力制御を伴う所定の処理がなされるから、一つですみ、物理層基本回路 5 を 2 個設ける場合に比較して、全体を小型化することができる。

また、シェル 4 によって、コネクタプラグ X からデータ信号の伝送される伝送路であるパターン 7 が外部からシールドされるから、EMI を少なくすることができる。

#### 〔実施形態 4〕

次に、本発明の実施形態 4 におけるコネクタレセプタクルについて、図 18 ないし図 20 に基づいて以下に説明する。なお、実施形態 1 と実質的に同一の

機能を有する部分には同一の符号を付し、実施形態1と異なるところのみ説明する。

前記実施形態1では、ハウジング1の基板接着部1aに接着された基板6に物理層基本回路5が設けられているのに対し、本実施形態では、ハウジング1をなすM I D (Molded Interconnection Device)基板14に物理層基本回路5が設けられた構成となっている。

詳しくは、図18に示すように、M I D基板14には導通メッキパターン15が設けられ、これら導通メッキパターン15に物理層基本回路5が実装されている。このM I D基板14からなるハウジング1には、図20に示すように、コンタクト2を圧入保持するコンタクト圧入孔1dを有するコンタクト保持部1cが実施形態1と同様に設けられている。

かかるコネクタレセプタクル20にあっては、実施形態1での効果に加えて、コンタクト2は、物理層基本回路5を実装したM I D基板14に保持されているのであるから、物理層基本回路5を実装した部材、すなわちM I D基板14の他に、コンタクト2を保持する部材を別に設けなくてもよくなり、部品点数を少なくすることができる。

以上、本発明の好ましい実施形態について説明したが、本発明はこれら実施形態に限定されるものではなく、本発明の精神と範囲に反することなく種々に変更することができるものである。

例えば、上記各実施形態1～4では、いずれも、コンタクト2は、電源用コンタクト2A及びグラウンド用コンタクト2Bを含む6本が配置されているが、電源用コンタクト2A及びグラウンド用コンタクト2Bを含め4本が配置されても、同様の効果を奏することができる。

## 25 産業上の利用可能性

以上のように、本発明のコネクタレセプタクルは、データ信号を通信する

際のシリアル・パラレル変換等の処理を行う物理層基本回路を、コネクタレセプタクルそのものに設けて構成されている。これによって、データ信号の伝送路をなすパターンレイアウトの設計がやり易くなる。このため、特にデジタル信号の高速伝送に使用されるコネクタ装置等において好適に用いることができる。

5

## 請求の範囲

1. コネクタプラグに嵌合される嵌合部と、嵌合部に嵌合したコネクタプラグにそれぞれ接続される複数のコンタクトとを備えるコネクタレセプタクルであって、

コンタクトにコネクタプラグを通じてデータ信号がシリアル通信されるとともに通信のためのリンク層回路との間でデータ信号がパラレル通信されるよう所定の処理を行う物理層基本回路を備えていることを特徴とするコネクタレセプタクル。

2. 請求項1記載のコネクタレセプタクルであって、

前記データ信号は、前記コンタクトから前記物理層基本回路にわたって略一定の特性インピーダンスを有した伝送路でもってシリアル通信されることを特徴とするコネクタレセプタクル。

3. 請求項1記載のコネクタレセプタクルであって、

前記データ信号は、複数の前記コンタクト毎に前記コンタクトと前記物理層基本回路との間にわたって略同一長の伝送路でもってそれぞれ伝送されることを特徴とするコネクタレセプタクル。

4. 請求項1記載のコネクタレセプタクルであって、

前記物理層基本回路が基板上に設けられており、また、前記コンタクトが基板と略同一平面に位置していることを特徴とするコネクタレセプタクル。

5. 請求項1記載のコネクタレセプタクルであって、

前記嵌合部が複数個設けられていることを特徴とするコネクタレセプタクル。

6. 請求項5記載のコネクタレセプタクルであって、

前記物理層基本回路は、複数個の前記嵌合部にそれぞれ嵌合された前記



コネクタプラグとの間でシリアル通信されるとともに前記リンク層回路との間でデータ信号がパラレル通信されるよう前記所定の処理を行うことを特徴とするコネクタレセプタクル。

7. 請求項1記載のコネクタレセプタクルであって、

5 前記コネクタプラグからデータ信号が伝送される伝送路を外部からシールドするシールド部材が設けられていることを特徴とするコネクタレセプタクル。

8. 請求項1記載のコネクタレセプタクルであって、

10 前記物理層基本回路がM I D基板に設けられており、前記コンタクトがM I D基板に保持されていることを特徴とするコネクタレセプタクル。

9. 請求項1記載のコネクタレセプタクルであって、

15 前記データ信号は、パラレル通信されることにより、シリアル通信されるときよりもN倍の伝送路により伝送され、パラレル通信されるときは、シリアル通信されるときよりも前記データ信号の立ち上がり及び立ち下がり時間がN倍長いことを特徴とするコネクタレセプタクル。

図 1

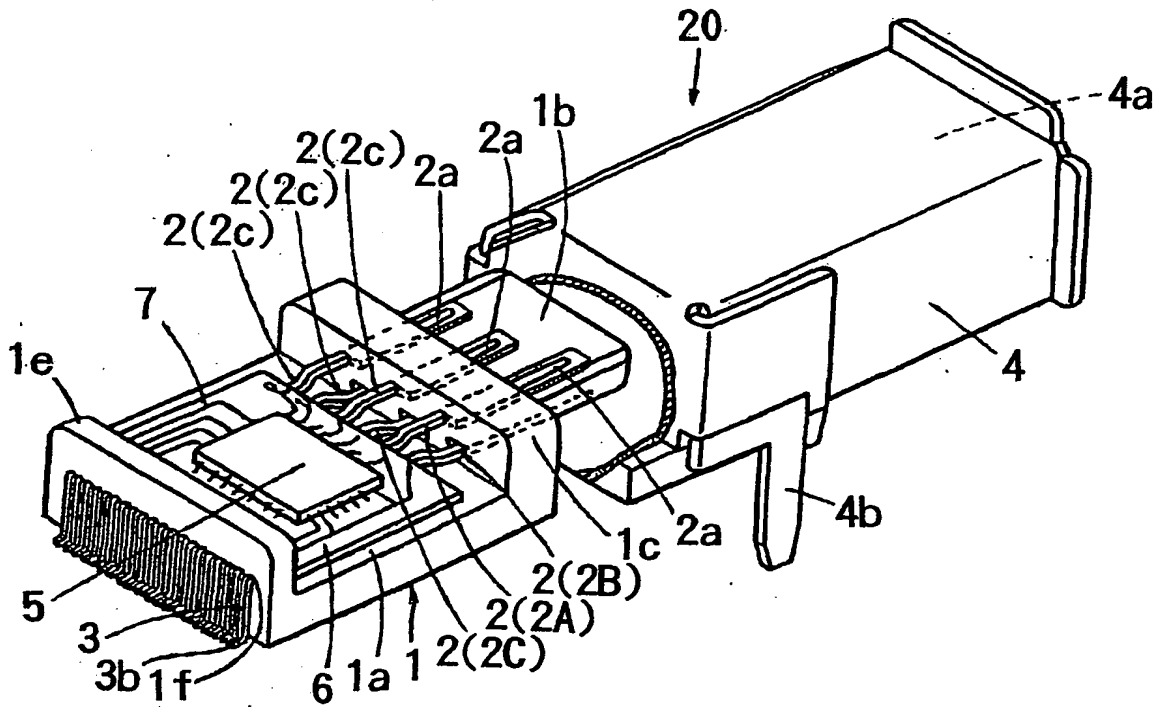


図 2

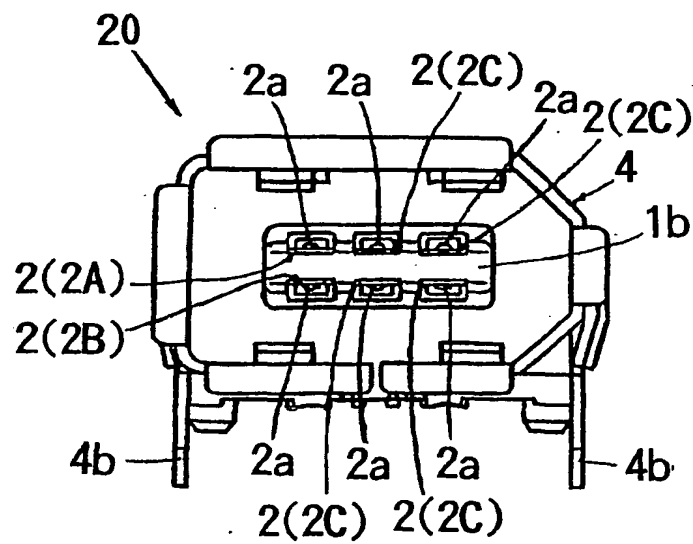


図 3

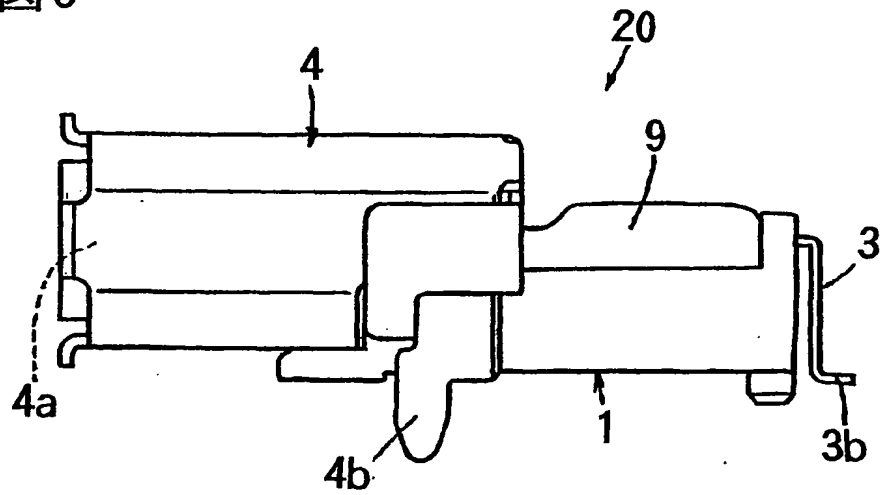


図 4

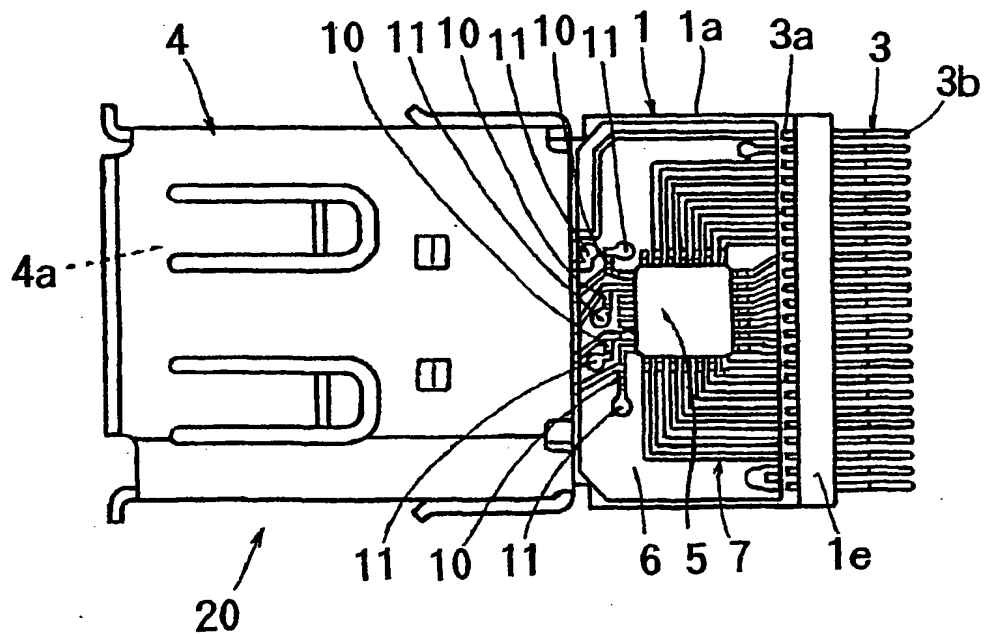


図 5

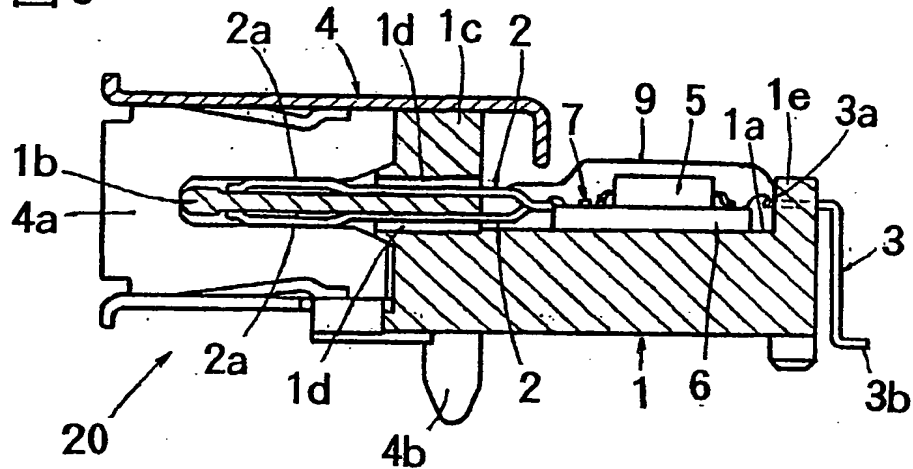


図 6

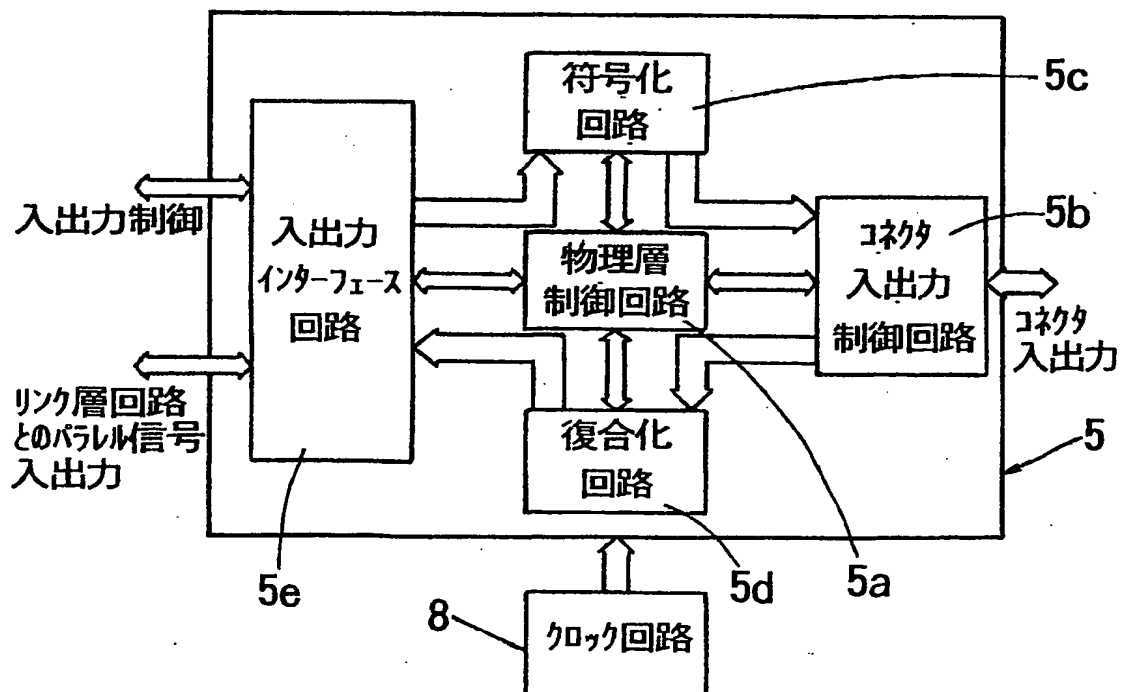


図 7

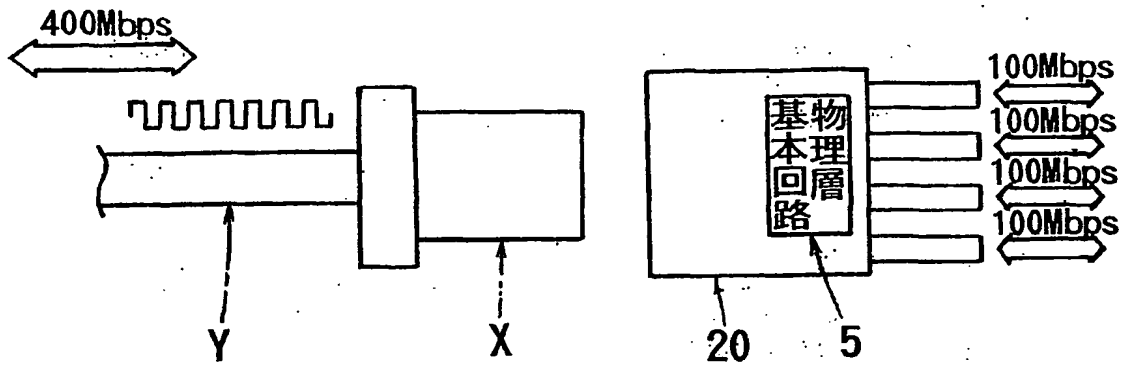


図 8

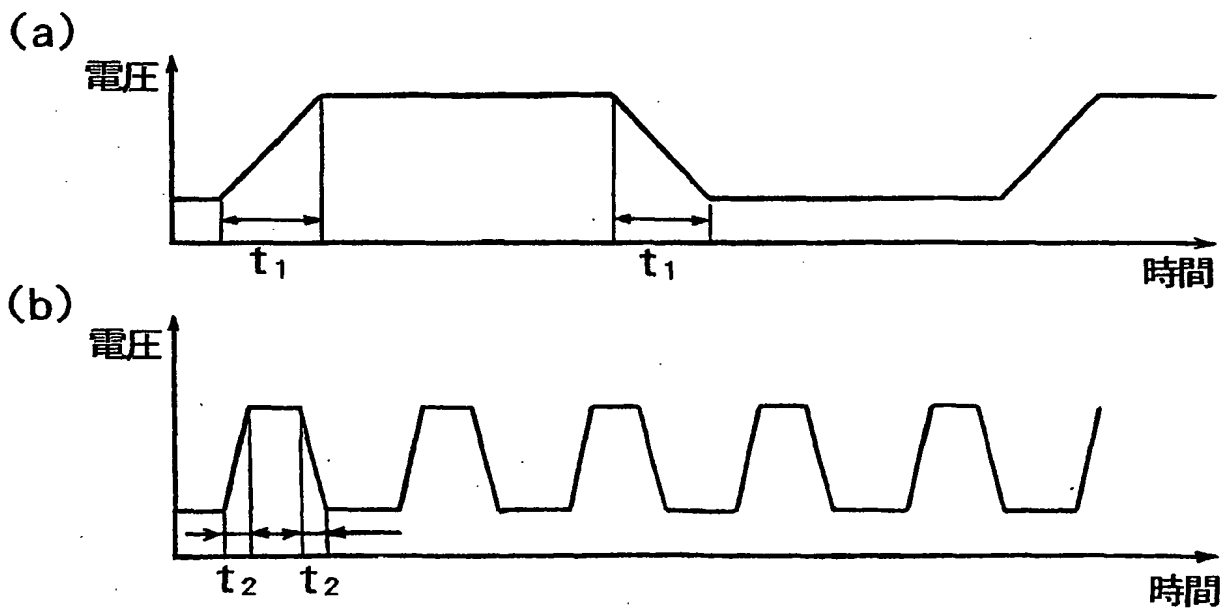


図 9

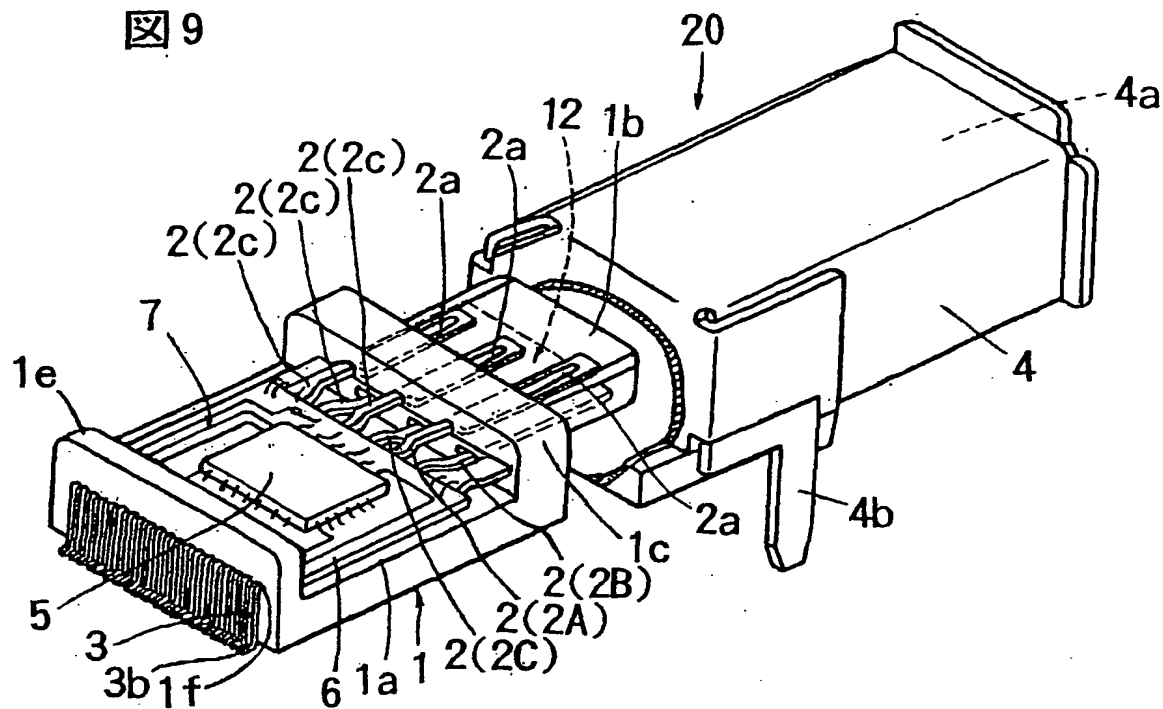


図 10

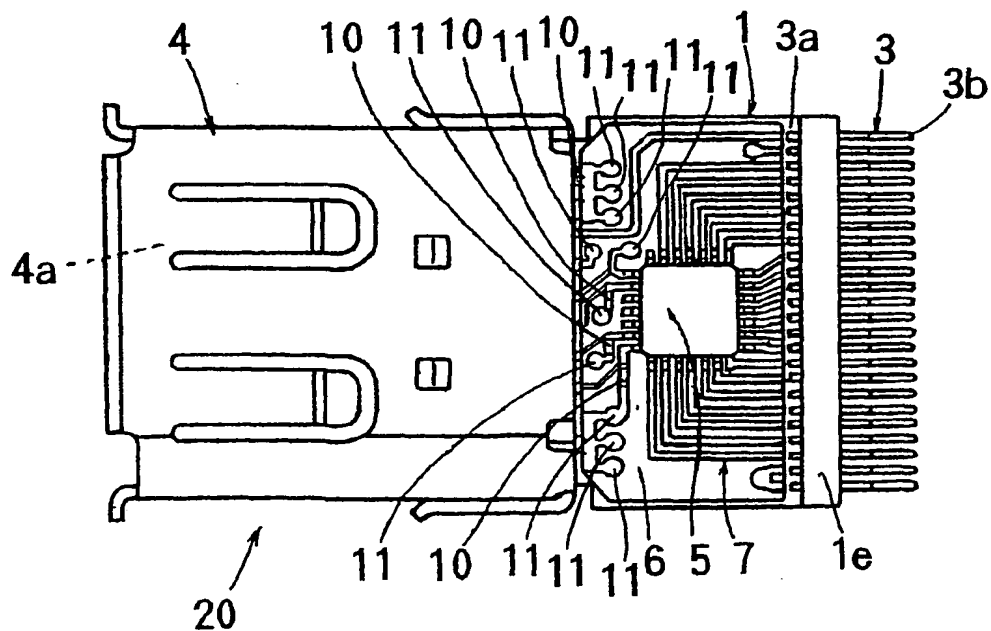


図 11

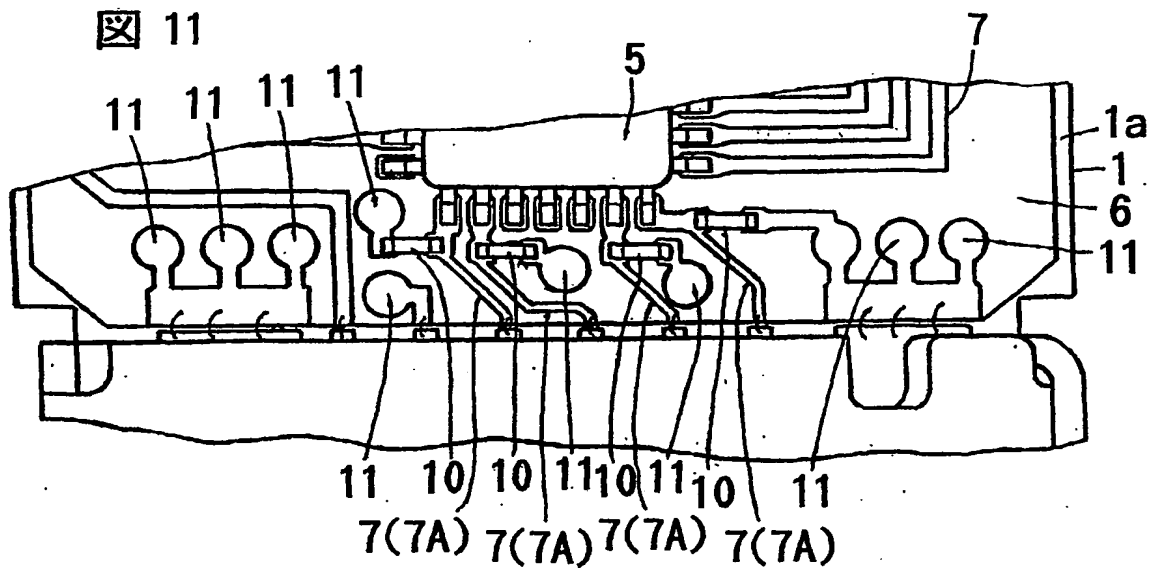


図 12

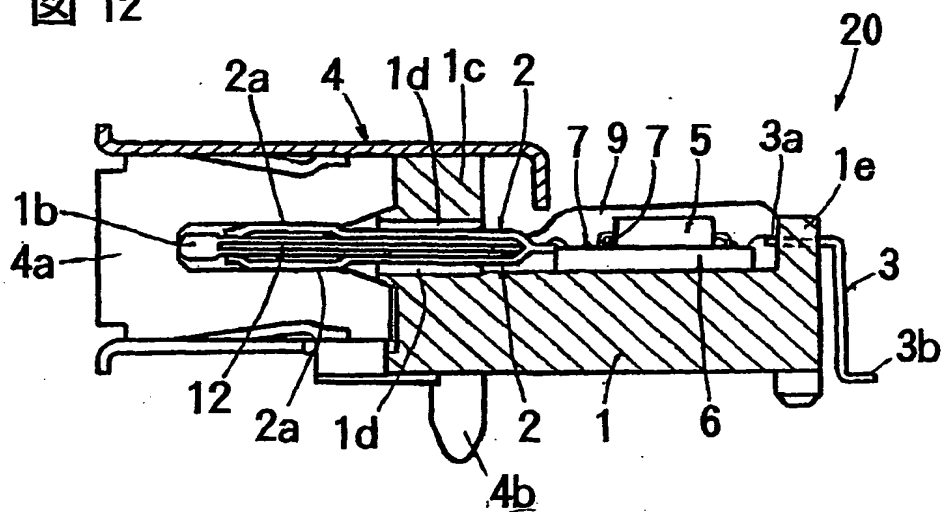


図 13

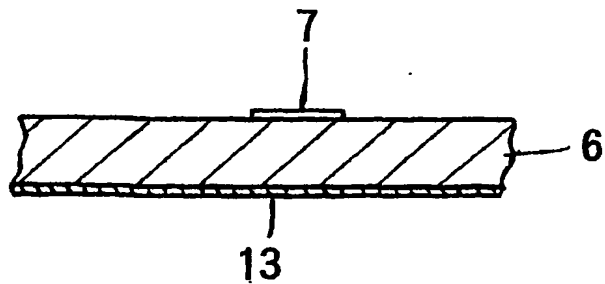


図 14

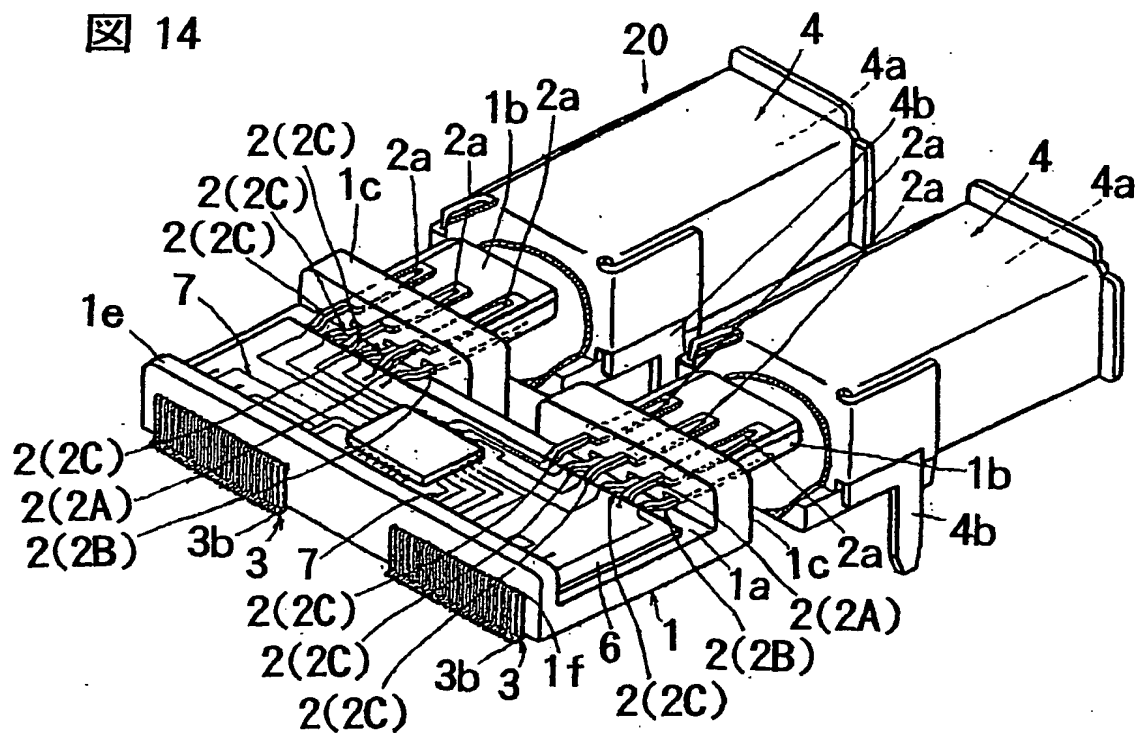


図 15

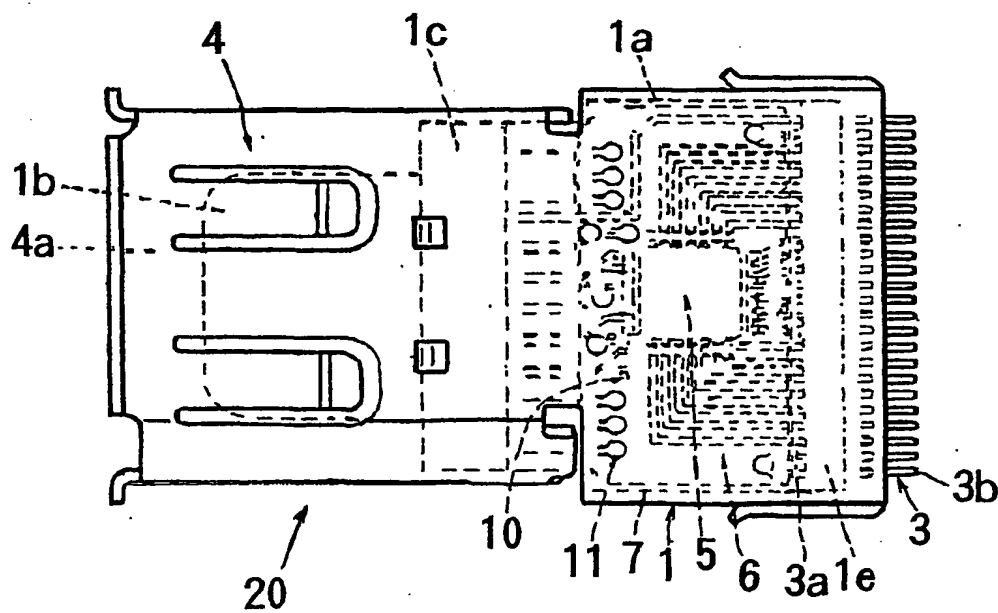




図 16

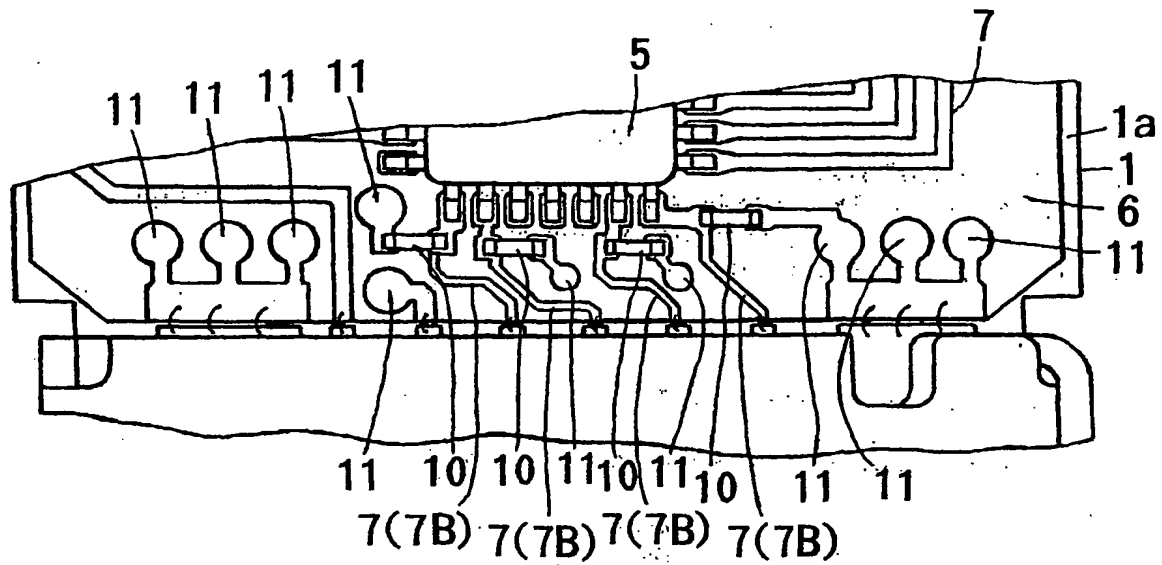


図 17

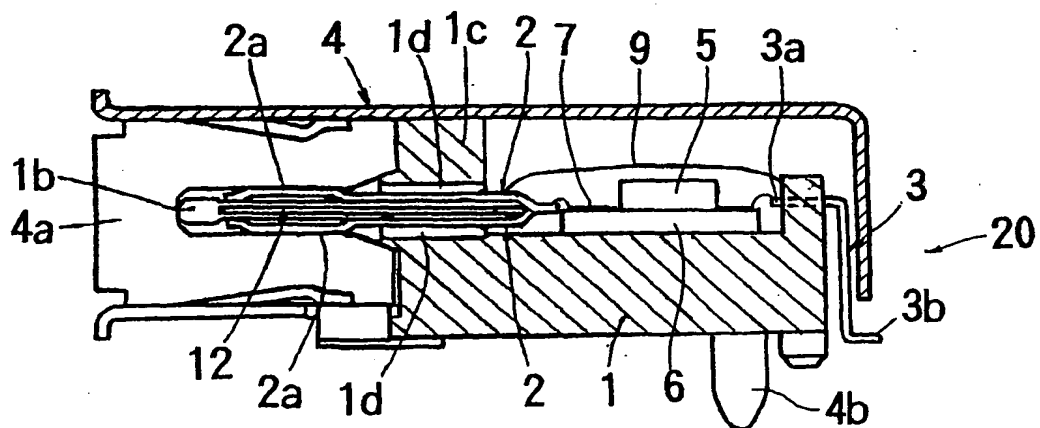


図 18

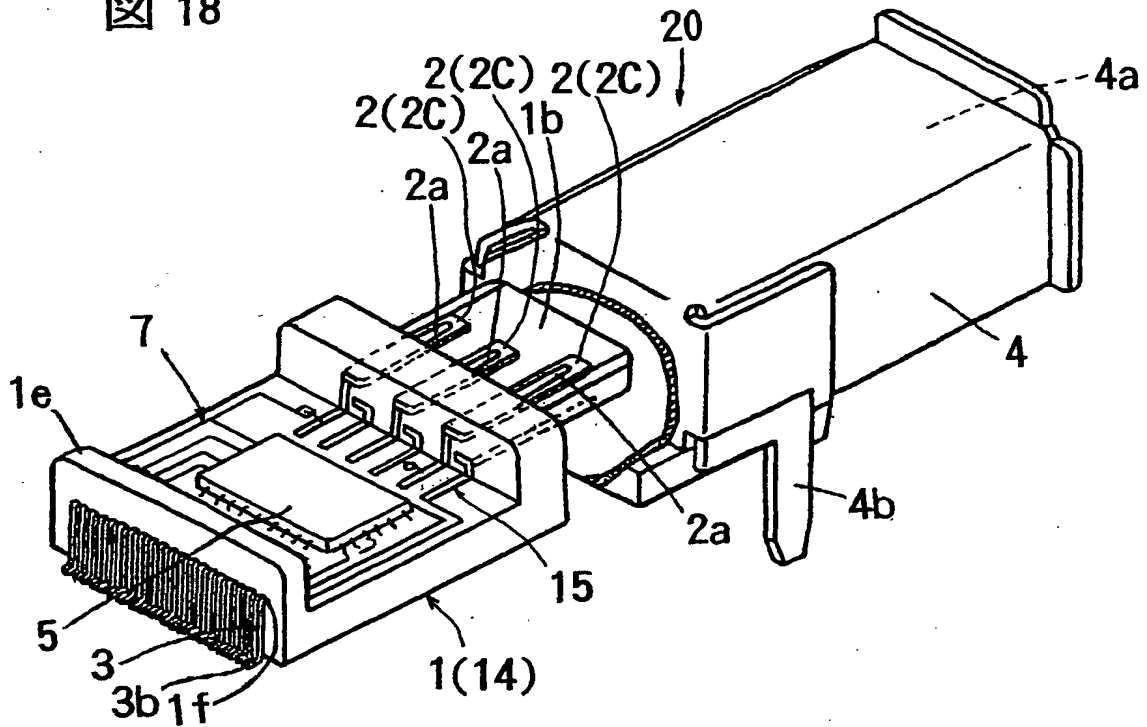
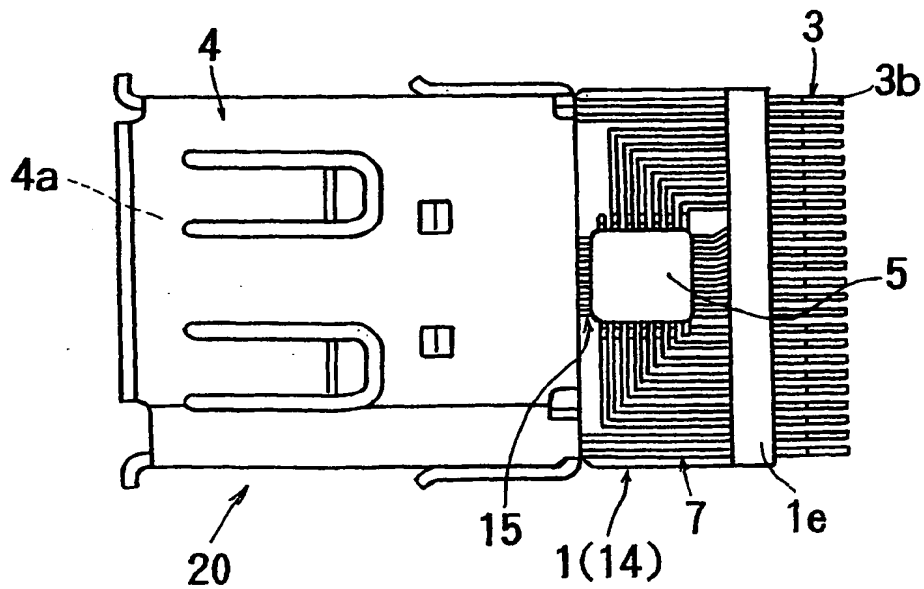


図 19





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05619

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G06F3/00, H01R13/719

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G06F3/00, H01R13/00-13/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Toroku Jitsuyo Shinan Koho	1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-151011 A (Yamaichi Electron Co., Ltd.), 31 May, 1994 (31.05.94) (Family: none)	1-9
Y	JP 2-117077 A (Mazda Motor Corporation), 01 May, 1990 (01.05.90) (Family: none)	1-9
Y	JP 6-19516 A (OMRON CORPORATION), 28 January, 1994 (28.01.94) (Family: none)	1-9
Y	JP 7-85929 A (Japan Aviation Electron Ind. Ltd.), 31 March, 1995 (31.03.95) (Family: none)	2,3

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
14 November, 2000 (14.11.00)Date of mailing of the international search report  
21 November, 2000 (21.11.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F3/00, H01R13/719

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F3/00, H01R13/00-13/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996
日本国公開実用新案公報	1971-2000
日本国実用新案登録公報	1996-2000
日本国登録実用新案公報	1994-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 6-151011, A (山一電機株式会社), 31. 5月. 1994 (31. 05. 94) (ファミリーなし)	1-9
Y	J P, 2-117077, A (マツダ株式会社), 1. 5月. 1990 (01. 05. 90) (ファミリーなし)	1-9
Y	J P, 6-19516, A (オムロン株式会社), 28. 1月. 1994 (28. 01. 94) (ファミリーなし)	1-9
Y	J P, 7-85929, A (日本航空電子工業株式会社), 31. 3月. 1995 (31. 03. 95) (ファミリーなし)	2, 3

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

14. 11. 00

国際調査報告の発送日

21.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

竹井文雄

5E

7922

電話番号 03-3581-1101 内線 3520

様式PCT/ISA/210 (第2ページ) (1998年7月)